

Ćwiczenie 19

Temat: Wzmacniacz JFET i MOSFET w układzie ze wspólnym źródłem.

Cel ćwiczenia: Wzmacniacz JFET w układzie ze wspólnym źródłem.

Zapoznanie się z konfiguracją polaryzowania tranzystora JFET. Pomiar charakterystyk statycznych i dynamicznych wzmacniacza z tranzystorem JFET pracującego w układzie OS. Czytanie schematów elektronicznych, przestrzeganie zasad bhp podczas montażu elementów.

INSTRUKCJA DO WYKONANIA ZADANIA

Przestrzegaj zasad BHP przy pomiarach elektrycznych. Zachowaj ostrożność w czasie ćwiczenia. Sprawdź stan elementów zastosowanych w ćwiczeniu oraz narzędzi.

Poniżej wymieniono trzy najważniejsze parametry tranzystora JFET:

1. g_m (transkonduktancja) = $\left. \frac{\delta i_o}{\delta V_{gs}} \right|_{V_{ds} = \text{const}} \cong \left. \frac{i_d}{V_{gs}} \right|_{V_{ds} = 0} = \left. \frac{i_d}{V_{gs}} \right|_{V_{ds} = K}$
2. r_d (rezystancja drenu) = $\left. \frac{\delta V_{ds}}{\delta i_d} \right|_{V_{gs} = \text{const}} \cong \left. \frac{V_{gs}}{i_d} \right|_{V_{ds} = 0} = \left. \frac{V_{gs}}{i_d} \right|_{V_{gs} = K}$
3. μ (współczynnik wzmocnienia) = $\left. \frac{-\delta V_{ds}}{-\delta V_{gs}} \right|_{i_d = \text{const}} \cong \left. \frac{V_{ds}}{V_{gs}} \right|_{i_d = 0} = \left. \frac{V_{ds}}{V_{gs}} \right|_{i_d = K}$

W powyższych trzech wzorach symbole I_d , V_{gs} i V_{ds} oznaczają odpowiednio:

i_d : prąd drenu (przy małych sygnałach przemiennych)

V_{gs} : napięcie przemiennie przyłożone między bramką a źródło (mały sygnał)

V_{ds} : napięcie przemiennie generowane w układzie dren D i źródło S.

Układ polaryzacji tranzystora JFET

1. Konfigurację polaryzacji ustawionej na stałe tranzystora JFET przedstawiono na rys. 9-1-1.

(1) Na rys. 9-1-1(a) przedstawiono układ polaryzacji ustawionej na stałe dla tranzystora FET z kanałem typu p, w którym wynikiem przyłożenia napięcia V_{DD} jest napięcie V_{DS} i prąd I_D , a efektem przyłożenia napięcia V_{GG} jest napięcie V_{GS} . Na rys. 9-1-1(b) przedstawiono charakterystykę drenu punktu pracy. Z równania drugiego prawa Kirchhoffa dla układu wyjściowego $V_{DD} = I_D \cdot R_D + V_{DS}$ można wykreślić prostą obciążenia dla sygnału stałego i umieścić (wybrać) na niej punkt pracy.

(2) Gdy $I_D = 0 \rightarrow V_{DD} = V_{DS}$ (punkt A)

(3) Gdy $V_{DS} = 0 \rightarrow I_D = V_{DD} / R_D = 20 \text{ V} / 2,5 \text{ k}\Omega = 8 \text{ mA}$ (punkt B)

Linia prosta łącząca punkty A, B i C jest prostą obciążenia dla sygnału stałego.

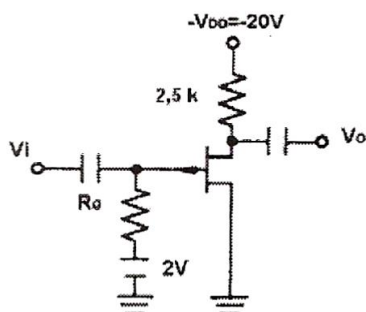
(4) Ponieważ $I_G \approx 0$ (R_i jest bardzo duża), zatem $V_{RG} \approx 0 \text{ V}$, a $V_{GS} = V_G - V_S = V_{GG} = 2 \text{ V}$

Położenie punktu pracy można uzyskać obliczając współrzędne punktu przecięcia Q prostej obciążenia dla sygnałów stałych z krzywą odpowiadającą napięciu $V_{GS} = 2 \text{ V}$.

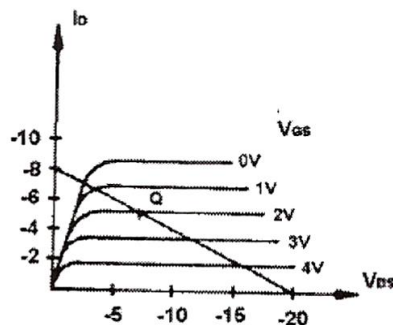
Współrzędne punktu Q (V_{DSQ} , I_{DQ}), można też obliczyć z poniższych dwóch równań:

$$V_{DSQ} = V_{DD} - I_{DQ} R_D$$

$$I_{DQ} = I_{DSS} (1 - V_{GSQ}/V_P)^2$$



(a) Układ polaryzacji



(b) Charakterystyka wyjściowa

Rys. 9-1-1 Układ polaryzacji stałej tranzystora JFET z kanałem typu p

2. Źródło konfigurowania polaryzacji automatycznej tranzystora JFET: jak przedstawiono na rysunkach 8.2

(a) (b).

(1) Gdy do drenu jest przyłożone jedno napięcie zasilania V_{DD} , to można uzyskać automatyczną polaryzację bramki i źródła tak, że efektem tego będzie powstanie adekwatnego punktu pracy.

(2) Ponieważ rezystancja wejściowa R_i jest bardzo duża, zatem $I_G \approx 0$, $V_{RG} = 0 = V_G$, $V_S = I_S * R_S \approx I_D * R_S$,
 $V_G - V_S = 0 - V_S = -I_D * R_S$

(3) Wykreślanie prostej obciążenia:

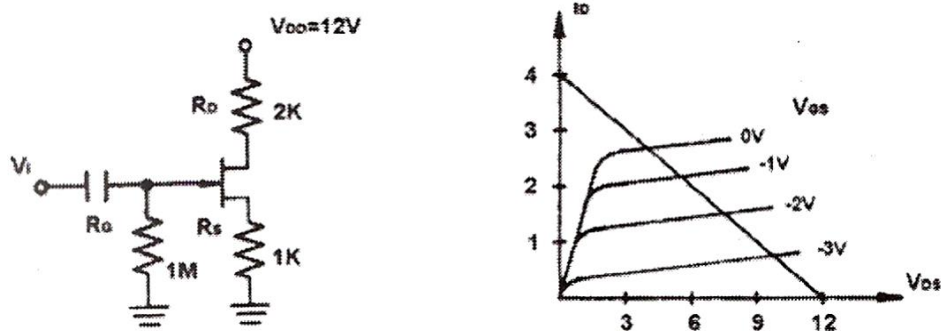
a. Zgodnie z drugim prawem Kirchhoffa dla układu wyjściowego: $V_{DD} = I_D R_D + V_{DS} + I_D R_S$

b. Gdy $I_D = 0$, $V_{DS} = V_{DD} = 12V$ (punkt A)

c. Gdy $V_{DS} = 0$, to $I_D = V_{DD} / (R_D + R_S) = 12V / 3k\Omega = 4mA$ (punkt B)

d. Linia prosta łącząca punkty A B jest prostą obciążenia dla sygnałów stałych.

Punkt pracy leży w miejscu przecięcia się tej prostej obciążenia z krzywą dla V_{GS} .



Rys. 9-1-2 Układ polaryzacji automatycznej tranzystora FET

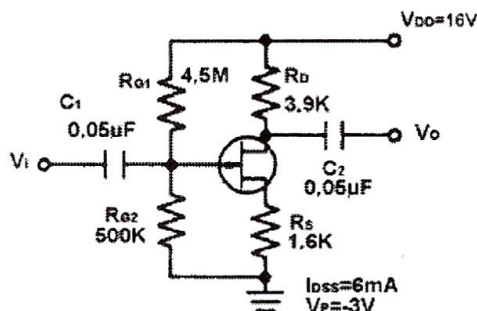
3) Konfiguracja polaryzowania tranzystora JFET za pomocą dzielnika napięciowego:

Na rys. 9-1-3 przedstawiono układ dzielnika napięciowego dla tranzystora JFET, w którym nie ma innego ustawienia napięcia V_G niż wartość 0, rozwiązania równania dla napięcia V_{GS} i prądu I_D są takie same jak równań dla polaryzacji automatycznej.

$$V_G = V_{DD} \frac{R_2}{R_1 + R_2}$$

$$V_{GS} = V_G - I_D * R_S$$

$$I_{DQ} = I_{DS} \left(1 - \frac{V_{GSQ}}{V_P}\right)^2$$



Rys. 9-1-3 Układ polaryzacji z dzielnikiem napięciowym tranzystora JFET

Tranzystor FET typu może pracować w trzech konfiguracjach wzmacniania (analiza dla małych sygnałów). Te trzy konfiguracje wykorzystuje się też do konstrukcji wzmacniaczy z tranzystorami FET:

1. Wspólne źródło (OS)
2. Wspólny dren (OD)
3. Wspólna bramka (OG)

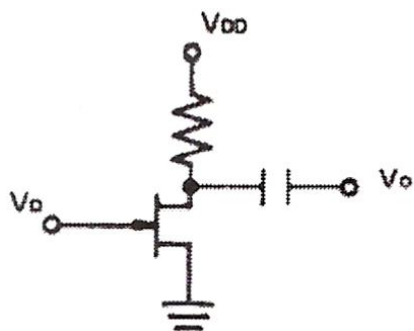
Wzmacniacz JFET w układzie OS

Na rys. 9-1-4 przedstawiono wzmacniacz JFET pracujący w układzie wspólnego źródła (OS).

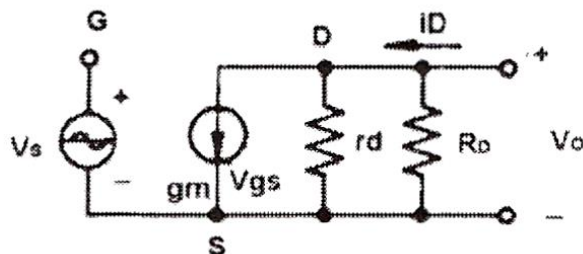
$$A_v = \frac{V_o}{V_s} = \frac{-\mu R_D}{r_d + R_D} = g_m R_D' \quad R_D' = r_d // R_D$$

$$Z_o = r_d + (1 + \mu) R_S, \quad Z_o' = R_D // Z_o, \quad \mu = g_m * r_d$$

Faza sygnału wyjściowego jest przesunięta w stosunku do sygnału wejściowego o 180°



(a) Układ wzmacniacza



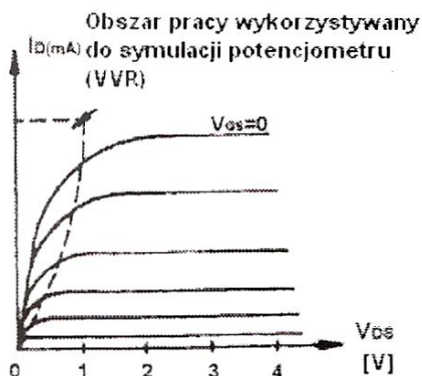
(b) Układ zastępczy dla sygnałów przemiennych

Rys. 9-1-4 Układ wzmacniacza JFET pracujący w układzie wspólnego źródła (OS)

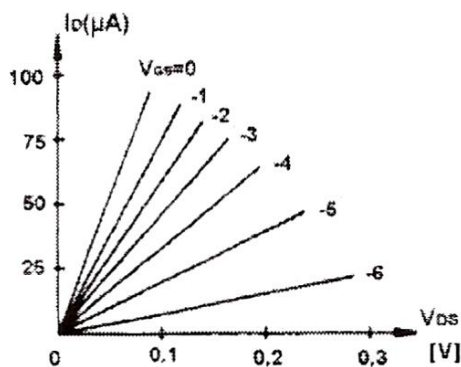
Tranzystor FET pracujący jako rezystor (zmienny) regulowany napięciem (VVR lub VCR)

Z charakterystyki drenu przedstawionej na rys. 9-1-5(a) można wywnioskować, że: gdy tranzystor FET pracuje w obszarze przewodzenia, w którym napięcie V_{DS} jest bardzo małe, lecz nadal zależy od odcięcia, to prąd drenu jest wprost proporcjonalny do napięcia źródło-dren V_{DS} . Innymi słowy, rezystancja kanału między drenem a źródłem jest regulowana przez napięcie V_{GS} i tranzystor FET może wtedy działać rezystor regulowany napięciem (VVR), w którym napięcie jest używane do regulacji rezystancji.

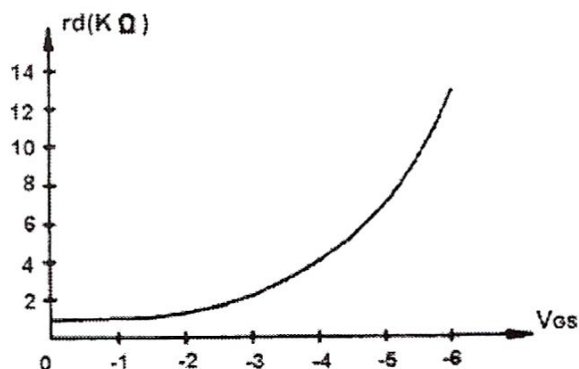
Na rys 9-1-5(b) przedstawiono fragment wzmacniania obszaru niskonapięciowego gdy tranzystor FET jest zastosowany jako potencjometr VVR. Ze względu na to że nachylenie każdej krzywej reprezentuje rezystancję R_{ds} możemy łatwo otrzymać wartość tej rezystancji o ile funkcją złącza GS jest regulacja napięcia. Na przykład gdy $V_{GS} = 0$, to nachylenie krzywej jest najbardziej strome, a rezystancja jest minimalna; gdy natomiast $V_{GS} = -6$ V, to nachylenie krzywej jest najmniej strome, a rezystancja jest maksymalna. Zmianę stanu rezystancji tranzystora FET w funkcji napięcia regulacji przedstawiono na rys. 9-1-5(b) oraz zilustrowano krzywą przedstawioną na rys. 9-1-5(c). Jest oczywiste, że wraz ze wzrostem napięcia V_{GS} będzie wzrastać rezystancja r_d , chociaż wzrost ten nie będzie liniowy.



(a) Obszar rezystancyjny



(b) Krzywa $I_D - V_{DS}$ w obszarze rezystancyjnym



(c) Krzywa zależności r_d od V_{GS}

Rys. 9-1-5 Stan pracy tranzystora FET używany jako VVR

NIEZBĘDNY SPRZĘT LABORATORYJNY

1. KL-22001 — podstawowy moduł edukacyjny z laboratorium układów elektrycznych
2. KL-25005 — moduł układu wzmacniacza FET
3. Oscyloskop
4. Multimetr

PROCEDURA

A. Wzmacniacz JFET w układzie ze wspólnym źródłem i polaryzacją automatyczną

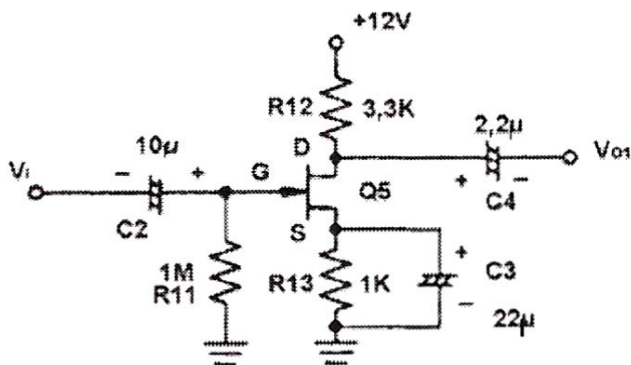
1. Ustawić moduł KL-25005 na module KL-22001 (moduł edukacyjny laboratorium z podstawowych układów elektrycznych), poczym zlokalizować blok c,
2. Wykonać połączenia posługując się układem pomiarowym przedstawionym na rys. 9-1-6 i schematem montażowym przedstawionym na rysunku 9-1-7 (z wyjątkiem wtyku mostkującego oznaczonego symbolem #). Do modułu KL-25005 doprowadzić napięcie stałe +12V z zasilacza o napięciu ustawionym na stałe znajdującego się w module KL-22001. Rezystor R12 (3,3 kΩ) jest teraz rezystorem R_D
3. Posługując się woltomierzem napięcia stałego zmierzyć i zapisać w tablicy 9-1-1 napięcia V_{DS} , V_{GS} i V_D .
4. Do wyprowadzeń wejściowych IN (TP1) doprowadzić z generatora funkcyjnego znajdującego się w module KL-22001 sygnał sinusoidalny o częstotliwości 1 kHz, Do wyprowadzeń wyjściowych OUT1 (TP5) dołączyć oscyloskop.
5. Stopniowo zwiększać amplitudę sygnału sinusoidalnego aż do momentu, gdy przebieg wyświetlany przez oscyloskop jeszcze nie jest odkształcony. Zmierzyć i zapisać w tablicy 9-1-1 przebieg na wejściu IN oraz przebieg na wyjściu OUT1. Porównać ze sobą sygnały wejściowy i wyjściowy. Obliczyć wzmocnienie A_v .
6. Usunąć wtyk mostkujący łączący rezystor R12 (3,3 kΩ) z drenem. Umieścić w układzie wtyk mostkujący oznaczony symbolem #, aby zmienić rezystancję R_D z R13 na R16 (6,8 kΩ).
7. Przywrócić rezystor $R_D = R12$ (3,3 kΩ) i odłączyć kondensator C3 (22 μF), a następnie powtórzyć kroki od 3 do 5 niniejszej procedury.

Tabl 9-1-1

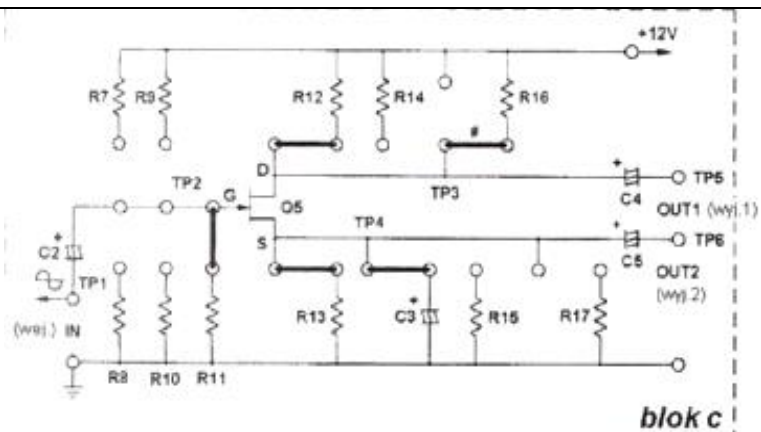
	C3	V_{DS}	V_{GS}	V_D	$A_v = \frac{V_{opp}}{V_{ipp}}$	Różnica faz między wejściem a wyjściem
	odłączony					
WEJ.						
WYJ.						

	R12	V_{DS}	V_{GS}	V_D	$A_v = \frac{V_{opp}}{V_{ipp}}$	Różnica faz między wejściem a wyjściem
	3,3K					
WEJ.						
WYJ.						
	R16	V_{DS}	V_{GS}	V_D	$A_v = \frac{V_{opp}}{V_{ipp}}$	Różnica faz między wejściem a wyjściem
	6,8K					
WEJ.						
WYJ.						

Rys. 9-1-6 Wzmacniacz FET pracujący w układzie OS z polaryzacją automatyczną



Rys. 9-1-7 Schemat montażowy (moduł KL-25005 blok c)



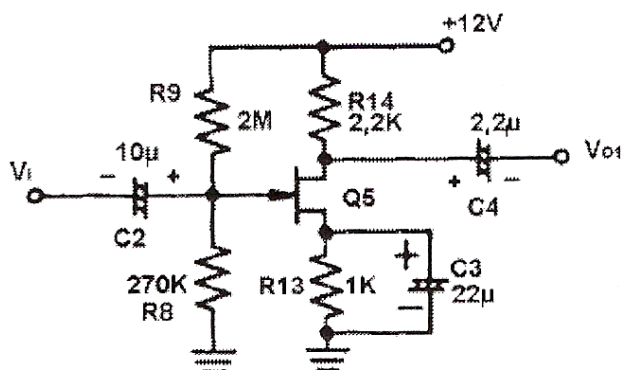
B. Wzmacniacz z tranzystorem JFET ze wspólnym źródłem i polaryzacją za pomocą dzielnika napięcia

- Wykonać połączenia posługując się układem pomiarowym przedstawionym na rys. 9-1-8 i schematem montażowym przedstawionym na rysunku 9-1-9. Do modułu KL-25005 doprowadzić napięcie stałe +12V z zasilacza o napięciu ustawionym na stałe znajdującego się w module KL-22001.
- Posługując się woltomierzem napięcia stałego zmierzyć i zapisać w tablicy 9-1-2 napięcia V_{DS} , i V_G
- Do wyprowadzeń wejściowych IN (TP1) doprowadzić z generatora funkcyjnego znajdującego się w module KL-2200 1 sygnał sinusoidalny o częstotliwości 1 kHz. Do wyprowadzeń wyjściowych OUT1 (TP5) dołączyć oscyloskop.
- Stopniowo zwiększać amplitudę sygnału sinusoidalnego aż do momentu, gdy przebieg wyświetlany przez oscyloskop jeszcze nie jest odkształcony. Zmierzyć i zapisać w tablicy 9-1-2 przebieg na wejściu IN oraz przebieg na wyjściu OUT1. Porównać ze sobą sygnały wejściowy i wyjściowy. Obliczyć wzmocnienie A_V .
- Odłączyć kondensator C3 usuwając z układu wtyk mostkujący oznaczony symbolem #, a następnie powtórzyć kroki od 2 do 4 niniejszej procedury.

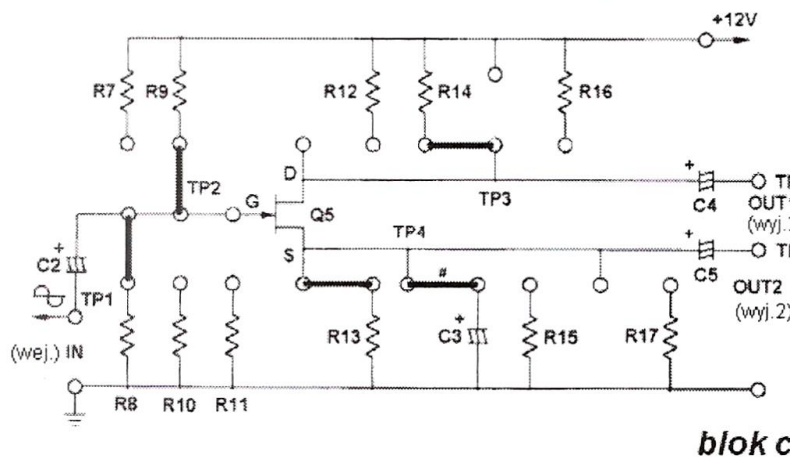
	V_{GS}	V_{DS}	C3	V_{GS}	V_{DS}	C3
			zduf			odłączony
Wejście						
Wyjście						
$A_V = \frac{V_{opp}}{V_{ipp}}$						
Różnica faz między wejściem a wyjściem						

Tablica 9-1-2

Rys. 9-1-8 Wzmacniacz FET pracujący w układzie OS z polaryzacją za pomocą dzielnika napięcia.



Rys. 9-1-9 Schemat montażowy (moduł KL-25005 blok c)



PODSUMOWANIE

Zmierzono dla wzmacniacza JFET pracującego w układzie OS wzmocnienie napięciowe oraz różnicę faz sygnałów wejściowego i wyjściowego. Podobnie jak w przypadku wzmacniacza tranzystorowego pracującego w układzie OE różnica faz sygnałów wejściowego i wyjściowego wynosi 180° czyli sygnały te „nie są w fazie”.

Wzmocnienie napięciowe zależy od wielkości rezystancji R_D . Im większa wartość rezystancji R_D tym większe wzmocnienie napięciowe ($A_V = g_m R_d'$, $R_d' = r_d/R_D$). Ponadto wzmocnienie napięciowe jest też określone przez

kondensator obejściowy źródła. Jeśli kondensator ten zostanie odłączony, to wzmocnienie napięciowe wzmacniacza OS zmniejszy się, gdy zostanie wprowadzone ujemne sprzężenie zwrotne.

WZMACNIACZ MOSFET W UKŁADZIE ZE WSPÓLNYM ŹRÓDŁEM.

Zapoznanie się z konfiguracją polaryzacji wzmacniacza z tranzystorem MOSFET pracującego w układzie ze wspólnym źródłem (OS). Pomiar charakterystyk dynamicznych wzmacniacza z tranzystorem MOSFET pracującego w układzie ze wspólnym źródłem (OS). Czytanie schematów elektronicznych, przestrzeganie zasad bhp podczas montażu elementów.

INSTRUKCJA DO WYKONANIA ZADANIA

Przestrzegaj zasad BHP przy pomiarach elektrycznych. Zachowaj ostrożność w czasie ćwiczenia. Sprawdź stan elementów zastosowanych w ćwiczeniu oraz narzędzi.

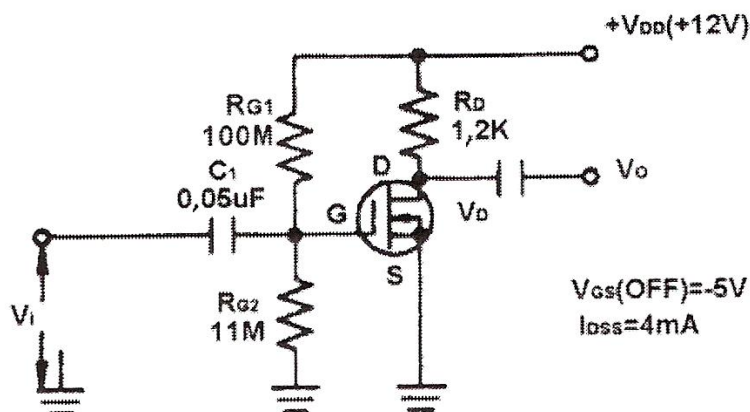
Na rys. 9-3-1 przedstawiono układ polaryzacji z dzielnikiem napięcia tranzystora MOSFET z kanałem zubożonym typu n. Układ ten można zastosować do tranzystora MOSFET zarówno z kanałem zubożonym jak i wzbogaconym.

Zgodnie z twierdzeniem Thevenina: $V_{GQ} = V_{DD} * \frac{R_{G2}}{R_{G1} + R_{G2}}$

$$V_{GSQ} = V_G - V_S = V_G$$

$$V_{DSQ} = V_{DD} - I_D * (R_S + R_D)$$

$$I_{DQ} = I_{DSS} * \left(1 - \frac{V_{GS}}{V_P}\right)^2$$



Rys. 9-3-1 Układ polaryzacji za pomocą dzielnika napięcia tranzystora MOSFET z kanałem zubożonym typu n.

NIEZBĘDNY SPRZĘT LABORATORYJNY

1. KL-22001 — podstawowy moduł edukacyjny z laboratorium układów elektrycznych
2. KL-25005 — moduł układu wzmacniacza FET
3. Oscyloskop

PROCEDURA

A. Wzmacniacz MOSFET w układzie ze wspólnym źródłem i polaryzacją automatyczną.

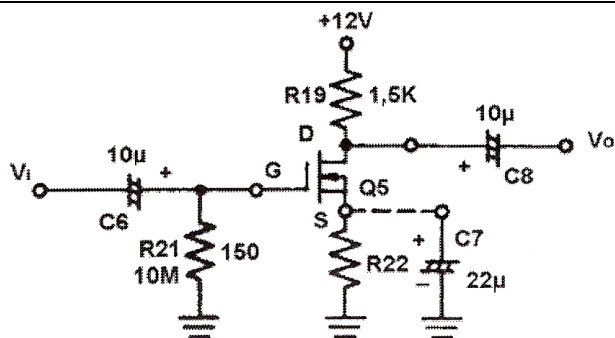
1. Ustawić moduł KL-25005 na module KL-22001 (moduł edukacyjny laboratorium z podstawowych układów elektrycznych), po czym zlokalizować blok d. Wykonać połączenia posługując się układem pomiarowym przedstawionym na rys. 9-3-2 i schematem montażowym przedstawionym na rysunku 9-3-3. Do modułu KL-25005 doprowadzić napięcie stałe +12 V z zasilacza o napięciu ustawionym na stałe znajdującego się w module KL-22001.
2. Do wyprowadzeń wejściowych IN doprowadzić z generatora funkcyjnego znajdującego się w module KL-22001 sygnał sinusoidalny o częstotliwości 1 kHz. Do wyprowadzeń wyjściowych OUT dołączyć oscyloskop.
3. Stopniowo zwiększać amplitudę sygnału sinusoidalnego aż do momentu, gdy przebieg wyświetlany przez oscyloskop jeszcze nie jest odkształcony. Zmierzyć i zapisać w tablicy 9-3-1

Tablica 9-3-1		
	C7=22 μF	C7 jest odłączony
IN Wejście		
OUT Wyjście		
$A_v = \frac{V_{opp}}{V_{ipp}}$		
Różnica faz między wejściem a wyjściem		

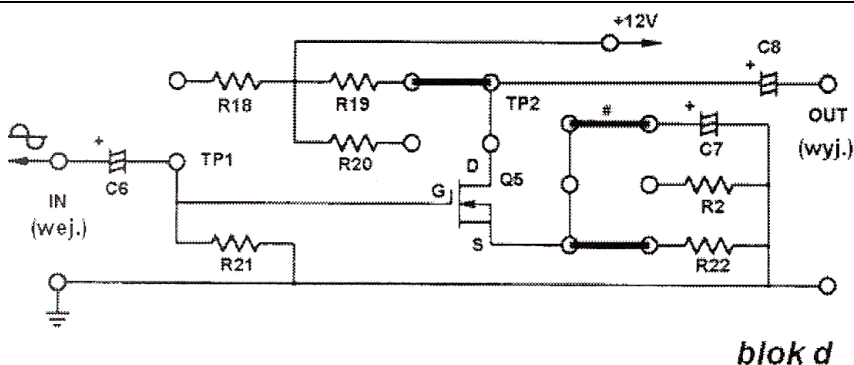
przebieg na wejściu IN oraz przebieg na wyjściu OUT. Porównać fazy sygnałów wejściowego i wyjściowego. Obliczyć wzmocnienie A_V .

4. Odłączyć kondensator C7 (22 μ F), usuwając wtyk mostkujący oznaczony symbolem #, a następnie powtórzyć kroki 2 i 3 niniejszej procedury.

Rys. 9-3-2 Wzmacniacz typu MOSFET pracujący w układzie z OS z polaryzacją automatyczną



Rys. 9-3-3 Schemat montażowy (moduł KL-25005 blok d)



blok d

B. Wzmacniacz MOSFET pracujący w układzie ze wspólnym źródłem z polaryzacją za pomocą dzielnika napięcia

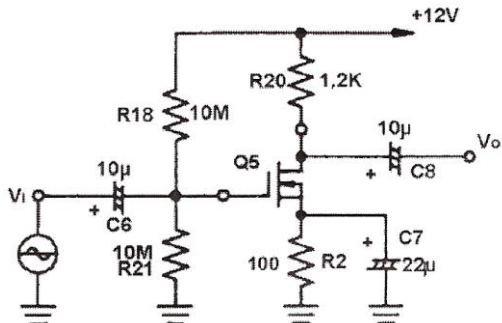
1. Wykonać połączenia posługując się układem pomiarowym przedstawionym na rys. 9-3-4 i schematem montażowym przedstawionym na rysunku 9-3-5. Do modułu KL-25005 doprowadzić napięcie stałe +12 V z zasilacza o napięciu ustawionym na stałe znajdującego się w module KL 22001

2 Do wyprowadzeń wejściowych IN doprowadzić z generatora funkcyjnego znajdującego się w module KL-22001 sygnał sinusoidalny o częstotliwości 1 kHz. Do wyprowadzeń wyjściowych OUT dołączyć oscyloskop.

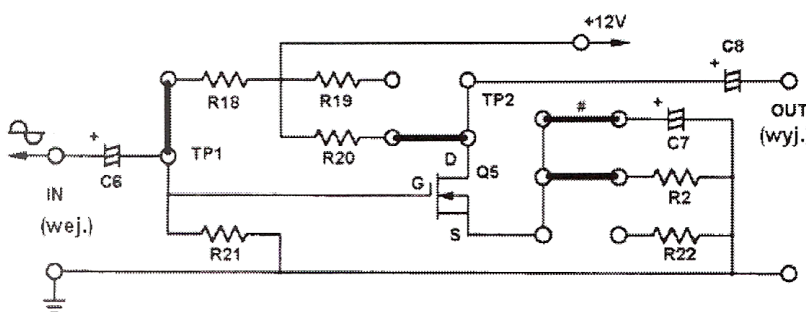
3. Stopniowo zwiększać amplitudę sygnału sinusoidalnego aż do momentu, gdy przebieg wyświetlany przez oscyloskop jeszcze nie jest odkształcony. Zmierzyć zapisać w tablicy 9-3-2 przebieg na wejściu IN oraz przebieg na wyjściu OUT. Porównać fazy sygnałów wejściowego i wyjściowego. Obliczyć wzmocnienie A_V .

4 Odłączyć kondensator C7 (22 μ F) usuwając wtyk mostkujący oznaczony symbolem #, a następnie powtórzyć kroki 2 i 3 niniejszej procedury

Rys. 9-3-4 Wzmacniacz z tranzystorem MOSFET w układzie OS z polaryzacją za pomocą dzielnika napięcia



Rys. 9-3-5 Schemat montażowy (moduł KL-25005 blok d)



blok d

PODSUMOWANIE

Zmierzono dla wzmacniacza z tranzystorem MOSFET pracującego w układzie OS wzmocnienie napięciowe oraz różnice faz sygnałów wejściowego i wyjściowego. Podobnie jak w przypadku wzmacniacza z tranzystorem JFET pracującego w układzie OS różnica faz sygnałów wejściowego i wyjściowego wynosi 180° , czyli sygnały te nie są w fazie. Ponadto wzmocnienie napięciowe jest też określone przez pojemność kondensatora obejściowego źródła. Jeśli kondensator ten odłączy się, to wzmocnienie napięciowe wzmacniacza z tranzystorem MOSFET w układzie OS zmniejszy się, gdyż zostanie wprowadzone ujemne sprzężenie zwrotne.

Tablica 9-3-2

	C7=22 μ F	C7 jest odłączony
IN Wejście		
OUT Wyjście		
$A_V = \frac{V_{opp}}{V_{ipp}}$		
Różnica faz między wejściem a wyjściem		

Zespół Szkół Mechanicznych w Namysłowie Pomiary elektryczne i elektroniczne	Imię i nazwisko			
Temat ćwiczenia: Wzmacniacz JFET i MOSFET w układzie ze wspólnym źródłem.	Nr ćw 19	Klasa 2TZ	Grupa	Zespół
	Data wykonania	OCENY		
		Samooocena	Wykonanie	Ogólna

CEL ĆWICZENIA;

Rys. 9-1-6 Wzmacniacz FET pracujący w układzie OS z polaryzacją automatyczną	Rys. 9-1-7 Schemat montażowy (moduł KL-25005 blok c)

A. Wzmacniacz JFET w układzie ze wspólnym źródłem i polaryzacją automatyczną

1. Ustawić moduł KL-25005 na module KL-22001 (moduł edukacyjny laboratorium z podstawowych układów elektrycznych), poczym zlokalizować blok c,
2. Wykonać połączenia posługując się układem pomiarowym przedstawionym na rys. 9-1-6 i schematem montażowym przedstawionym na rysunku 9-1-7 (z wyjątkiem wtyku mostkującego oznaczonego symbolem #). Do modułu KL-25005 doprowadzić napięcie stałe +12V z zasilacza o napięciu ustawionym na stałe znajdującego się w module KL-22001. Rezystor R12 (3,3 kΩ) jest teraz rezystorem R_D
3. Posługując się woltomierzem napięcia stałego zmierzyć i zapisać w tablicy 9-1-1 napięcia V_{DS} , V_{GS} i V_D .
4. Do wyprowadzeń wejściowych IN (TP1) doprowadzić z generatora funkcyjnego znajdującego się w module KL-22001 sygnał sinusoidalny o częstotliwości 1 kHz, Do wyprowadzeń wyjściowych OUT1 (TP5) dołączyć oscyloskop.
5. Stopniowo zwiększać amplitudę sygnału sinusoidalnego aż do momentu, gdy przebieg wyświetlany przez oscyloskop jeszcze nie jest odkształcony. Zmierzyć i zapisać w tabeli 9-1-1 przebieg na wejściu IN oraz przebieg na wyjściu OUT1. Porównać ze sobą sygnały wejściowy i wyjściowy. Obliczyć wzmocnienie A_v .
6. Usunąć wtyk mostkujący łączący rezystor R12 (3,3 kΩ) z drenem. Umieścić w układzie wtyk mostkujący oznaczony symbolem #, aby zmienić rezystancję R_D z R13 na R16 (6,8 kΩ).
7. Przywrócić rezystor $R_D = R12$ (3,3 kΩ) i odłączyć kondensator C3 (22 μF), a następnie powtórzyć kroki od 3 do 5 niniejszej procedury.

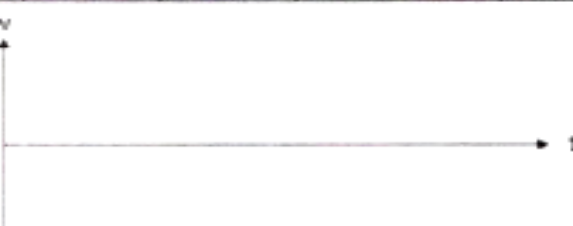
WEJ.	C3	V_{os}	V_{os}	V_D	$A_v = \frac{V_{opp}}{V_{ipp}}$	Różnica faz między wejściem a wyjściem
	odłączony					
						
WYJ.		V_{os}	V_{os}	V_D	$A_v = \frac{V_{opp}}{V_{ipp}}$	Różnica faz między wejściem a wyjściem
						
WEJ.	R12	V_{os}	V_{os}	V_D	$A_v = \frac{V_{opp}}{V_{ipp}}$	Różnica faz między wejściem a wyjściem
	3,3K					
						
WYJ.		V_{os}	V_{os}	V_D	$A_v = \frac{V_{opp}}{V_{ipp}}$	Różnica faz między wejściem a wyjściem
						
WEJ.	R16	V_{os}	V_{os}	V_D	$A_v = \frac{V_{opp}}{V_{ipp}}$	Różnica faz między wejściem a wyjściem
	6,8K					
						
WYJ.		V_{os}	V_{os}	V_D	$A_v = \frac{V_{opp}}{V_{ipp}}$	Różnica faz między wejściem a wyjściem
						

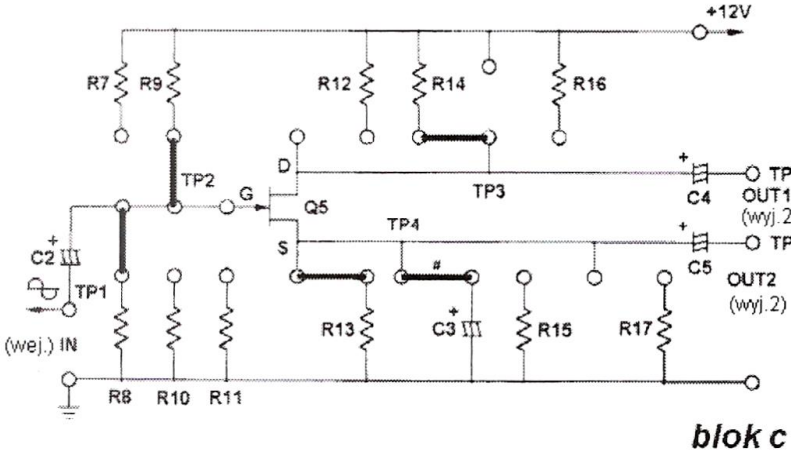
Tabela 9-1-1-1

B. Wzmacniacz z tranzystorem JFET ze wspólnym źródłem i polaryzacją za pomocą dzielnika napięcia

- 1 Wykonać połączenia posługując się układem pomiarowym przedstawionym na rys. 9-1-8 i schematem montażowym przedstawionym na rysunku 9-1-9. Do modułu KL-25005 doprowadzić napięcie stałe +12V z zasilacza o napięciu ustawionym na stałe znajdującego się w module KL-22001.
- 2. Posługując się woltomierzem napięcia stałego zmierzyć i zapisać w tablicy 9-1-2 napięcia V_{DS} , i V_G
- 3. Do wyprowadzeń wejściowych IN (TP1) doprowadzić z generatora funkcyjnego znajdującego się w module KL-2200 1 sygnał sinusoidalny o częstotliwości 1 kHz. Do wyprowadzeń wyjściowych OUT1 (TP5) dołączyć oscyloskop.
- 4. Stopniowo zwiększać amplitudę sygnału sinusoidalnego aż do momentu, gdy przebieg wyświetlany przez oscyloskop jeszcze nie jest odkształcony. Zmierzyć i zapisać w tablicy 9-1-2 przebieg na wejściu IN oraz przebieg na wyjściu OUT1. Porównać ze sobą sygnały wejściowy i wyjściowy. Obliczyć wzmocnienie A_V .
- 5. Odłączyć kondensator C3 usuwając z układu wtyk mostkujący oznaczony symbolem #, a następnie powtórzyć kroki od 2 do 4 niniejszej procedury.

Rys. 9-1-8 Wzmacniacz FET pracujący w układzie OS z polaryzacją za pomocą dzielnika napięcia.

Rys. 9-1-9 Schemat montażowy (moduł KL-25005 blok c)

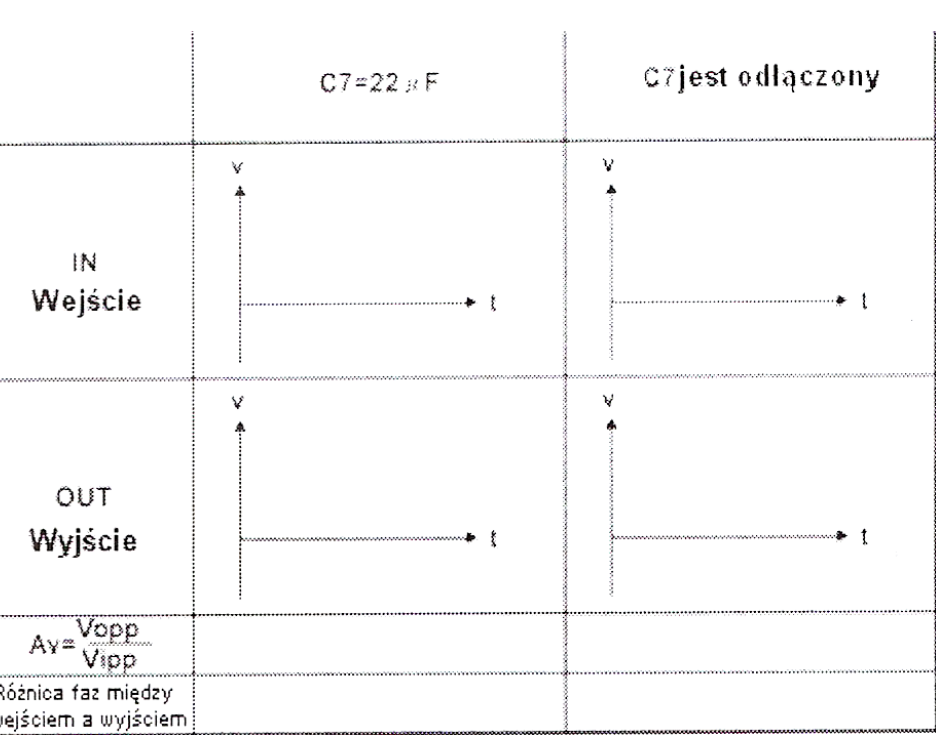


	V_{DS}	V_{GS}	C3	V_{DS}	V_{GS}	C3
			22uF			odłączony
Wejście						
Wyjście						
$A_v = \frac{V_{opp}}{V_{ipp}}$						
Różnica faz między wejściem a wyjściem						

Tablica 9-1-2

A. Wzmacniacz MOSFET w układzie ze wspólnym źródłem i polaryzacją automatyczną.

1. Ustawić moduł KL-25005 na module KL-22001 (moduł edukacyjny laboratorium z podstawowych układów elektrycznych), poczym zlokalizować blok d. Wykonać połączenia posługując się układem pomiarowym przedstawionym na rys. 9-3-2 i schematem montażowym przedstawionym na rysunku 9-3-3. Do modułu KL-25005 doprowadzić napięcie stałe +12 V z zasilacza o napięciu ustawionym na stałe znajdującego się w module KL-22001.



2. Do wyprowadzeń wejściowych IN doprowadzić z generatora funkcyjnego znajdującego się w module KL-22001 sygnał sinusoidalny o częstotliwości 1 kHz. Do wyprowadzeń wyjściowych OUT dołączyć oscyloskop.

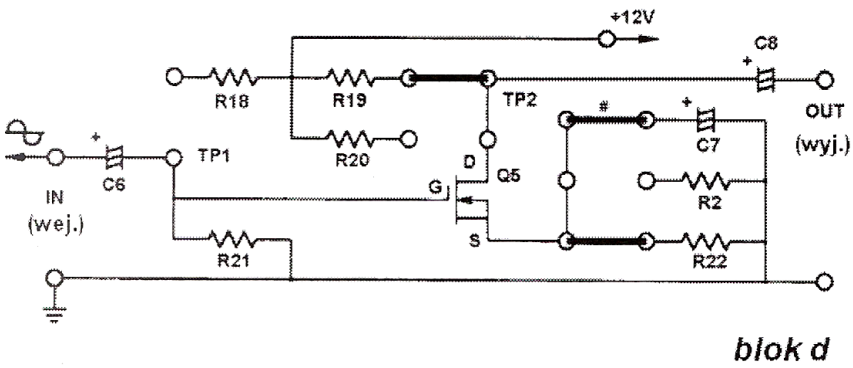
3. Stopniowo zwiększać amplitudę sygnału sinusoidalnego aż do momentu, gdy przebieg wyświetlany przez oscyloskop jeszcze nie jest odkształcony. Zmierzyć i zapisać w tabeli 9-3-1 przebieg na wejściu IN oraz przebieg na wyjściu OUT. Porównać fazy sygnałów wejściowego i wyjściowego. Obliczyć wzmacnienie A_V .

4. Odłączyć kondensator C7 (22 μF), usuwając wtyk mostkujący oznaczony symbolem #, a następnie powtórzyć kroki 2 i 3 niniejszej procedury.

Tablica 9-3-1

Rys. 9-3-2 Wzmacniacz typu MOSFET pracujący w układzie z OS z polaryzacją automatyczną

Rys. 9-3-3 Schemat montażowy (moduł KL-25005 blok d)



B. Wzmacniacz MOSFET pracujący w układzie ze wspólnym źródłem z polaryzacją za pomocą dzielnika napięcia

1. Wykonać połączenia posługując się układem pomiarowym przedstawionym na rys. 9-3-4 i schematem montażowym przedstawionym na rysunku 9-3-5. Do modułu KL-25005 doprowadzić napięcie stałe +12 V z zasilacza o napięciu ustawionym na stałe znajdującego się w module KL 22001

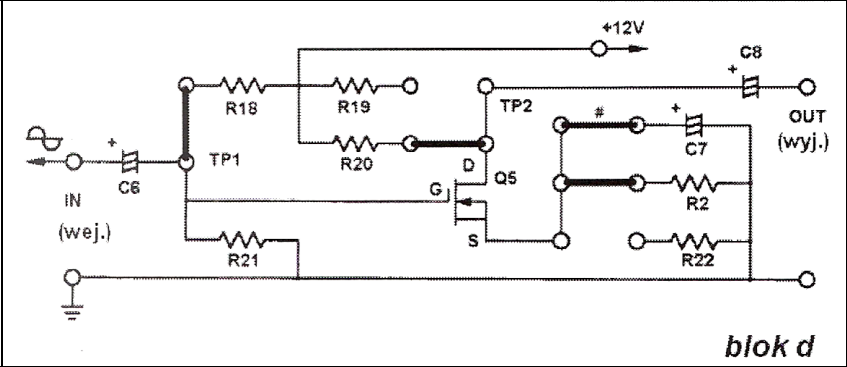
2 Do wyprowadzeń wejściowych IN doprowadzić z generatora funkcyjnego znajdującego się w module KL-22001 sygnał sinusoidalny o częstotliwości 1 kHz. Do wyprowadzeń wyjściowych OUT dołączyć oscyloskop.

3. Stopniowo zwiększać amplitudę sygnału sinusoidalnego aż do momentu, gdy przebieg wyświetlany przez oscyloskop jeszcze nie jest odkształcony. Zmierzyć zapisać w tabeli 9-3-2 przebieg na wejściu IN oraz przebieg na wyjściu OUT. Porównać fazy sygnałów wejściowego i wyjściowego. Obliczyć wzmacnienie A_V .

4 Odłączyć kondensator C7 (22 μF) usuwając wtyk mostkujący oznaczony symbolem #, a następnie powtórzyć kroki 2 i 3 niniejszej procedury

Rys. 9-3-4 Wzmacniacz z tranzystorem MOSFET w układzie OS z polaryzacją za pomocą dzielnika napięcia

Rys. 9-3-5 Schemat montażowy (moduł KL-25005 blok d)



Tablica 9-3-2

	C7=22 μF	C7jest odłączony
IN Wejście		
OUT Wyjście		
$A_v = \frac{V_{opp}}{V_{ipp}}$		
Różnica faz między wejściem a wyjściem		

WNIOSKI I SPOSTRZEŻENIA